

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317653

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H03K 17/16
H03K 17/687

(21)Application number : 10-122320

(71)Applicant : NEC CORP

(22)Date of filing : 01.05.1998

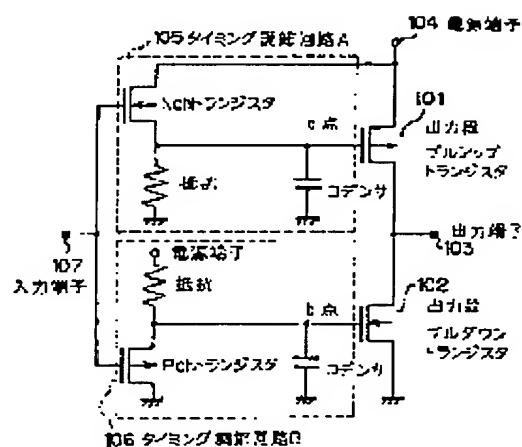
(72)Inventor : FUJIMOTO SHUNSUKE

(54) SLEW RATE CONTROL METHOD AND CIRCUIT INCLUDING PREVENTION OF THROUGH-CURRENT

(57)Abstract:

PROBLEM TO BE SOLVED: To significantly reduce through-current and also its flowing time, to decrease ground and radiation noises and also to reduce power consumption by preparing a timing control circuit for so that both pull-up and pull-down transistors of an output stage will not be turned on simultaneously.

SOLUTION: Timing control circuits A 105 and B 106 are prepared. When a transistor TR of the circuit A 105 is turned on, currents rapidly flow to a resistor and a capacitor which are connected to the source of the TR. Then a signal inputted to the gate of a pull-up TR of an output stage is rapidly set at a high level. When a TR of the circuit B 106 is turned off, a time constant circuit of CR is formed by a resistor and a capacitor which are connected to the drain of the TR, and the signal slowly builds up to a high level in accordance with a curve characterized by the time constant.



LEGAL STATUS

[Date of request for examination] 01.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3156771

[Date of registration] 09.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-317653

(43)公開日 平成11年(1999)11月16日

(51)Int.Cl.⁹

識別記号

F I

H 0 3 K 17/16

H 0 3 K 17/16

L

17/687

17/687

F

審査請求 有 請求項の数 6 O L (全 6 頁)

(21)出願番号 特願平10-122320

(22)出願日 平成10年(1998)5月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 藤本 俊介

東京都港区芝五丁目7番1号 日本電気株式会社内

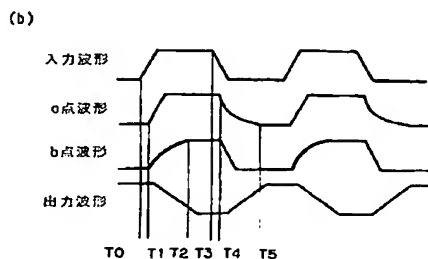
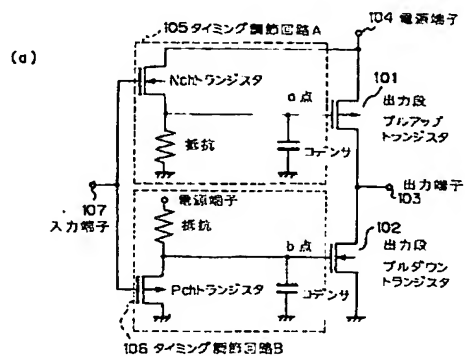
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 貫通電流防止を含むスルーレートコントロールの方法とその回路

(57)【要約】 (修正有)

【課題】 貫通電流を小さく抑えながらスルーレートコントロールを行うことにより、放射ノイズも含めた全体として最適なノイズ対策を実現するためのスルーレートコントロールの方法と回路を提供する。

【解決手段】 通常のCMOSデジタル回路ではPチャネルCMOSトランジスタとNチャネルCMOSトランジスタのみで構成されている。本発明は、出力段のCMOSトランジスタの各ゲートに出力トランジスタ・オンオフタイミング調節回路A、Bを設ける。この回路A、Bは、出力段のトランジスタのONするタイミングを緩やかにして出力波形のスルーレートを制御し、OFFするタイミングを変えずに、スルーレート調節機能を維持した状態で、出力遷移状態で流れる貫通電流を低く抑える動作を実行する。



【特許請求の範囲】

【請求項1】 高速LSIのCMOS、bi-CMOS回路における入出力バッファ回路のトータム・ボール型出力回路において、

電源に接続される出力段ブルアップ・トランジスタと、
該トランジスタに出力波形のスルーレートを制御し貫通電流を低く抑えるON/OFFタイミング信号を送るタイミング調節回路Aと、

クランドに接続される出力段ブルダウン・トランジスタと、

該トランジスタに出力波形のスルーレートを制御し貫通電流を低く抑えるON/OFFタイミング信号を送るタイミング調節回路Bと、

前記ブルアップ・トランジスタと前記ブルダウン・トランジスタの接続点から導出される出力端子と、を有することを特徴とする貫通電流防止機能を含むスルーレートコントロール回路。

【請求項2】 前記タイミング調節回路AはNチャネルトランジスタ、時定数回路を形成する抵抗及びコンデンサを含み、タイミング調節回路BはPチャネルトランジスタ、時定数回路を形成する抵抗及びコンデンサを含む請求項1記載の貫通電流防止機能を含むスルーレートコントロール回路。

【請求項3】 前記タイミング調節回路の抵抗が、トランジスタを使用したゲート抵抗である請求項2記載の貫通電流防止機能を含むスルーレートコントロール回路。

【請求項4】 前記タイミング調節回路のコンデンサが、信号パターンを太くして信号線の寄生容量としたものである請求項2記載の貫通電流防止機能を含むスルーレートコントロール回路。

【請求項5】 前記タイミング調節回路Aにおいて、入力信号で動作するNチャネルトランジスタが電源と出力段ブルアップ・トランジスタのゲート間に接続され、出力段ブルアップ・トランジスタのゲートまでの接続線とクランド間には抵抗とコンデンサが接続され、タイミング調節回路Bにおいては、入力信号で動作するPチャネルトランジスタが、グランドと出力段ブルダウン・トランジスタのゲート間に接続され、抵抗が該接続線と電源間に、コンデンサが該接続線とグランド間に接続される請求項2記載の貫通電流防止機能を含むスルーレートコントロール回路。

【請求項6】 貫通電流防止を含むスルーレートコントロールの方法であって、
入力信号がローレベルからハイレベルへ変化するステップ(201)と、
タイミング調節回路AのトランジスタはONへ動作を開始するステップ(202)と、タイミング調節回路BのトランジスタはOFFへ動作を開始するステップ(204)と、

ブルアップ・トランジスタのゲート入力信号は急速にハイレベルになりブルアップ・トランジスタはブルダウン・トランジスタONより早くOFFするステップ(203)と、

ブルダウン・トランジスタのゲート入力信号は緩速でハイレベルになり、ブルダウン・トランジスタはゆるやかにONするステップ(205)と、

入力信号がハイレベルからローレベルへ変化するステップ(206)と、

10 タイミング調節回路AのトランジスタはOFFへ動作開始するステップ(207)と、タイミング調節回路BのトランジスタはONへ動作開始するステップ(209)と、

ブルアップ・トランジスタのゲート入力信号は緩速でローレベルになり、ブルアップ・トランジスタは緩やかにONするステップ(208)と、ブルダウン・トランジスタのゲート入力信号は急速にローレベルになり、ブルダウン・トランジスタはブルアップトランジスタONより早くOFFするステップ(210)とを含む貫通電流防止を含むスルーレートコントロールの方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速LSIのCMOS、bi-CMOS回路における入出力バッファ回路のトータム・ボール型出力回路前段部に、貫通電流を防止する機能をもった出力トランジスタ・オン/オフタイミング調節回路を設けることにより、バッファ回路出力波形のスルーレートコントロールを行うとともに、それに伴う貫通電流の増加を防ぐ方法とその回路に関する。

【0002】

【従来の技術】本発明に先行する技術においては、一般に、スルーレートコントロールを行うためだけであれば、図3に示すように出力段のトランジスタをバラレル接続し、そのトランジスタを1つずつ動作させていけば駆動電流が徐々に増加し、出力波形のエッジを鈍らせることが可能であることは知られている。

【0003】しかし、これは、出力段のブルアップ・トランジスタ(ブルダウン・トランジスタ)をONすると同時に反対側のブルダウン・トランジスタ(ブルアップ・トランジスタ)を徐々にOFFすることになるので、当然ブルアップ側とブルダウン側のトランジスタが同時にONしている時間が増加し、必然的に貫通電流が増加してしまう欠点があった。

【0004】これでは、波形が鈍ることでの反射ノイズ低減効果はあるが、貫通電流が増加することで、グランドノイズ、放射ノイズが増加し、さらには消費電力も大きくなってしまいう問題があった。

【0005】貫通電流を低減するための回路構成については従来からいくつかの提案がされているが、例えば特開平8-84057号公報に示される出力回路の構成も

その一つである。その構成を図4(a)に、その構成の動作を図4(b)に示している。電源V_{cc}側の接続されるP型MOSトランジスタ401と、グラウンドG側に接続されるN型MOSトランジスタ402と、トランジスタ401とトランジスタ402のドレインに接続される出力端子431と、で構成される出力回路装置において、トランジスタ401のゲートの立ち上がりに対してトランジスタ402のゲートの立ち上がりを遅らせるとともに、トランジスタ401のゲートの立ち下がりに対してトランジスタ402のゲートの立ち下がりを早めることにより、トランジスタ401とトランジスタ402の同時オンによる、電源V_{cc}からグラウンドGへの貫通電流を抑止する。

【0006】これに対し本発明は、抵抗とコンデンサをタイミング調節回路に配し、ブルアップ・トランジスタとブルダウン・トランジスタの動作を制御し、ブルダウン側のトランジスタが急速にOFFになることで、貫通電流が流れず、ブルアップ側のトランジスタが徐々にONすることかできるので、スルーレートコントロールが可能になる点で前記従来技術と構成・効果の面で相違する。

【0007】

【発明が解決しようとする課題】スルーレートコントロールは、デジタル回路の波形の立ち上がり／立ち下がりを鈍らせることで、反射ノイズやグラウンドノイズ、さらにはノーマルモードの放射ノイズを低減するために用いられている。

【0008】このように動作周波数に応じて波形を鈍らせることは、一般的には反射ノイズ対策として行われているが、近年、クロック周波数が高くなり増加する放射ノイズ対策としてもスルーレートコントロールを行う場合が増えるようになった。

【0009】また、コンピュータに使用されるLSIのテクノロジーは、CMOS化が進む一方、放射ノイズの原因として、このCMOS回路が動作する際に流れる貫通電流が考えられることが、研究の結果明らかになった。

【0010】特に出力バッファ回路においては、入力信号が反転する際に、コンプリメンタリ接続されたトランジスタが瞬間的に同時にオンになることがあるため、このトランジスタ列を通じて電源側からグラウンド側に貫通電流が流れる。この貫通電流は、消費電力増大の原因になっている。

【0011】本発明の目的は、貫通電流を小さく抑えつつスルーレートコントロールを行うことにより、放射ノイズも含めたトータル的に最適なノイズ対策を実現するためのスルーレートコントロール回路を提供することにある。

【0012】

【課題を解決するための手段】本発明の貫通電流防止を含むスルーレートコントロールの回路は、電源に接続さ

れる出力段ブルアップトランジスタと、該トランジスタに出力波形のスルーレートを制御し貫通電流を低くおさえるON/OFFタイミング信号を送るタイミング調節回路Aと、グラウンドに接続される出力段ブルダウントランジスタと、該トランジスタに出力波形のスルーレートを制御し貫通電流を低くおさえるON/OFFタイミング信号を送るタイミング調節回路Bと、前記ブルアップトランジスタと前記ブルダウントランジスタの接続点から導出される出力端子とを有する。

【0013】また、前記タイミング調節回路AはNチャネルトランジスタ、特定数回路を形成する抵抗及びコンデンサを含み、タイミング調節回路BはPチャネルトランジスタ、特定数回路を形成する抵抗及びコンデンサを含むものが本発明の一つの実施態様である。

【0014】さらに、前記タイミング調節回路の抵抗が、トランジスタを使用したゲート抵抗であるものも本発明に含まれる。

【0015】また、前記タイミング調節回路のコンデンサが、信号パターンを太くして信号線の寄生容量としたものであるものも考えられる。

【0016】また、前記タイミング調節回路Aにおいては、入力信号で動作するNチャネルトランジスタが電源と出力段ブルアップトランジスタのゲート間に接続され、出力段ブルアップトランジスタのゲートまでの接続線とグラウンド間には抵抗とコンデンサが接続され、タイミング調節回路Bにおいては、入力信号で動作するPチャネルトランジスタが、グラウンドと出力段ブルダウントランジスタのゲート間に接続され、抵抗が該接続線と電源間に、コンデンサが該接続線とグラウンド間に接続されるものも本発明の好ましい実施態様である。

【0017】本発明の貫通電流防止を含むスルーレートコントロールの方法は、入力信号がローレベルからハイレベルへ変化するステップ(201)と、タイミング調節回路AのトランジスタはONへ動作を開始するステップ(202)と、タイミング調節回路BのトランジスタはOFFへ動作を開始するステップ(204)と、ブルアップトランジスタのゲート入力信号は急速にハイレベルになりブルアップトランジスタはブルダウントランジスタONより早くOFFするステップ(203)と、ブルダウントランジスタのゲート入力信号は緩速でハイレベルになり、ブルダウントランジスタは緩やかにONするステップ(205)と、入力信号がハイレベルからローレベルへ変化するステップ(206)と、タイミング調節回路AのトランジスタはOFFへ動作開始するステップ(207)と、タイミング調節回路BのトランジスタはONへ動作開始するステップ(209)と、ブルアップトランジスタのゲート入力信号は緩速でローレベルになり、ブルアップトランジスタはゆるやかにONするステップ(208)と、ブルダウントランジスタのゲート入力信号は急速にローレベルになり、ブルダウントラ

ンジスタはブルアップ・トランジスタONより早くOFFするステップ(210)を含む。

【0018】

【発明の実施の形態】通常のCMOS(Complementary Metal Oxide Semiconductor)デジタル回路では、PchCMOSTランジスタ1とNchCMOSTランジスタ2のみで構成されている。これに対し、本発明は、出力段のCMOSTランジスタ1、2のゲートに出力トランジスタ・オン／オフタイミング調節回路A、Bを設けてある。

【0019】この調節回路A、Bは、出力段のトランジスタのONするタイミングを緩やかにすることで、出力波形のスルーレートを制御し、OFFするタイミングを変えないことで、スルーレート調節機能を維持した状態で、出力遷移状態で流れる貫通電流を低く抑える動作を実行する。したがって、スルーレートを調節した上で、通常はそれに伴う貫通電流の増加も低く抑えることができ、したがって低ノイズかつ低消費電力の両立が可能となる。

【0020】図面を参照して説明する。図1は本発明の貫通電流防止を含むスルーレートコントロールの方法が適用された回路の一実施の形態を示す回路図とそのタイミング動作図である。

【0021】ここには、本発明の貫通電流防止機能を含むスルーレートコントロール回路を有するCMOSインバータ回路が示されている。このスルーレートコントロール回路からの信号を出力段トランジスタに供給することにより、トランジスタがOFFする場合は早急にOFFし、ONになる場合は徐々にON(トランジスタがONするときの出力抵抗、ドレインソース間抵抗が徐々に低くなる。)する。これにより出力波形のエッジの鈍り具合、スルーレートを調節することが可能となる。また、ブルアップ側とブルダウン側トランジスタのON／OFFタイミングを、どちらか一方がOFFした後にもう一方のトランジスタが徐々にONになるようタイミング調整することで貫通電流の発生を防ぐことができる。図1の貫通電流防止機能を含むスルーレートコントロール回路は以下のように構成されている。すなわち、出力ブルアップ・トランジスタにON／OFFのタイミング信号を送るタイミング調節回路A及び出力段ブルダウン・トランジスタにON／OFFのタイミング信号を送るタイミング調節回路Bより構成される。

【0022】タイミング調節回路A、Bは、それぞれトランジスタ、抵抗及びコンデンサにて構成される。タイミング調節回路Aでは、入力信号を受けて動作するNchトランジスタが電源と出力段ブルアップ・トランジスタのゲート間に接続されており、出力段ブルアップ・トランジスタのゲートまでの接続線とGND間には、抵抗とコンデンサが接続される。タイミング調節回路Bでは、入力信号で動作するPchトランジスタが、GND

Dと出力段ブルダウン・トランジスタのゲート間に接続されており、抵抗がその接続線と電源間に、コンデンサがその接続線とGND間に接続される。

【0023】以下、貫通電流防止機能を含むスルーレートコントロール回路の動作について図1のタイミング図を用いて説明する。

【0024】まず、時刻T0にて入力信号がLowレベルよりHighレベルへ変化すると(ステップ201)、タイミング調節回路A、Bの各トランジスタが時刻T1にて動作を開始する(ステップ202、204)。タイミング調節回路Aでは、トランジスタがONすることでそのトランジスタのソースに接続されている抵抗、コンデンサに急速に電流が流れ、出力段のブルアップ・トランジスタのゲートに入力される信号は、急速にHighレベルになる。

【0025】一方、タイミング調節回路Bでは、トランジスタがOFFすることで、そのトランジスタのドレインに接続されている抵抗とコンデンサによりCRの時定数回路が形成され時定数によって特性付けられるカーブにてHighレベルまで時刻T2にゆっくりと上がっていく。

【0026】これらのタイミング調節回路から信号を受ける出力段トランジスタは、ブルアップ側は、上記のように急速にHighレベルになる信号によって急速にOFFになり(ステップ203)、ブルダウン側は、ゆっくりとHighレベルになる信号によってゆっくりとONになる(ステップ205)。

【0027】ブルアップ側トランジスタが急速にOFFすることで貫通電流は流れず、ブルダウン側トランジスタがゆっくりとONすることでスルーレートがコントロールできる。

【0028】次に、時刻T3にて入力信号がHighレベルよりLowレベルへ変化したとすると(ステップ206)、タイミング調節回路A、Bの各トランジスタは、時刻T4にて動作を開始する(ステップ207、209)。タイミング調節回路Aでは、トランジスタがOFFすることでそのトランジスタのソースに接続されている抵抗、コンデンサによってCRの時定数回路が形成され、時定数によって特性付けられるカーブにてLowレベルまで時刻T5にゆっくりと下がっていく。

【0029】一方、タイミング調節回路Bでは、トランジスタがONすることで、そのトランジスタのソースに接続されている抵抗とコンデンサに急速に電流が流れ、出力段ブルダウン・トランジスタのゲートに入力される信号は、急速にLowレベルになる。

【0030】これらのタイミング調節回路から信号を受ける出力段トランジスタは、ブルアップ側は、上記のようにゆっくりとLowレベルになる信号によって徐々にONになり、ブルダウン側は、急速にHighレベルになる信号によって急速にOFFになる(ステップ20

8, 210)。

【0031】これによって、プルダウン側のトランジスタが急速にOFFになることで貫通電流が流れずプルアップトランジスタが徐々にONすることができてスルーレートコントロールが可能となる。

【0032】

【発明の効果】以上のように本発明の貫通電流防止機能を含むスルーレートコントロール回路では、出力段のプルアップ・トランジスタとプルダウン・トランジスタが同時にONになることが極力ないように、タイミング調節回路を設け、一方のトランジスタがOFFしてからもう一方のトランジスタがONし始めるようになっているので、貫通電流が非常に発生しにくくなっている。

【0033】したがって、貫通電流が非常に少なく、また流れる時間も非常に短くなるので、グラウンドノイズや放射ノイズを減少させることができ、消費電力も小さく抑えることができる。

【0034】さらには、出力段トランジスタがONになる際、徐々にONするようにタイミング調節回路で入力信号を処理することにより、スルーレートをコントロールすることができる。

【0035】一般的には、スルーレートコントロールを行うと貫通電流が増加してしまうが、本発明のものは、スルーレートコントロールを行い且つ貫通電流も低く抑えることができるという今まで両立不可能であったものを両立できる効果がある。

【図面の簡単な説明】

【図1】(a) 本発明の貫通電流防止機能を含むスルー＊

＊レートコントロール回路である。

(b) 本発明の貫通電流防止機能を含むスルーレートコントロール回路の動作タイミング図である。

【図2】本発明の貫通電流防止機能を含むスルーレートコントロールの第1の実施の形態のフローチャートである。

【図3】スルーレートコントロールの説明図である。

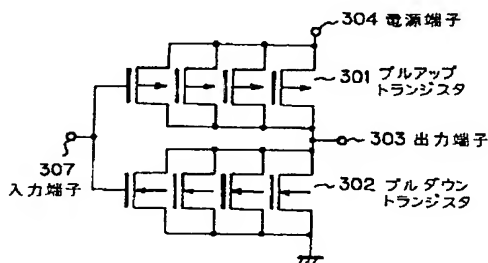
【図4】(a) 従来の技術の一実施例を示す構成図である。

(b) 図4(a)に示す構成による動作図である。

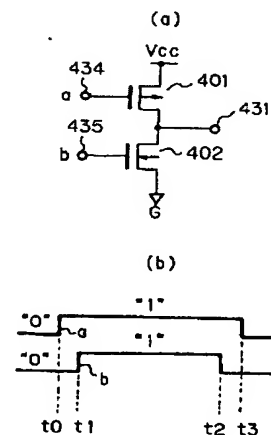
【符号の説明】

101	出力段プルアップ・トランジスタ
102	出力段プルダウン・トランジスタ
103	出力端子
104	電源端子
105	タイミング調節回路A
106	タイミング調節回路B
107	入力端子
301	プルアップ・トランジスタ
302	プルダウン・トランジスタ
303	出力端子
304	電源端子
307	入力端子
401	P型MOSトランジスタ
402	N型MOSトランジスタ
431	出力端子
434	入力端子(a)
435	入力端子(b)

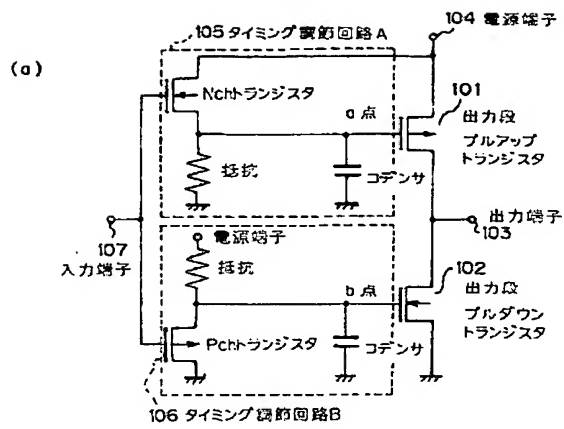
【図3】



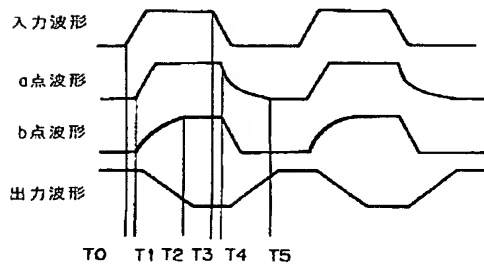
【図4】



【図1】



(b)



【図2】

